ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

**«САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПЕТРА ВЕЛИКОГО»**

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

**Лабораторная работа №3**

**Знакомство с пакетом Quartus Prime**

по дисциплине «Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

студент группы 3540901/02001

Бараев Д. Р.

Проверил:

А. П. Антонов

Санкт-Петербург 2020

**Содержание**

[Список иллюстраций 3](#_Toc58336664)

[Упражнение 3 4](#_Toc58336665)

[1. Введение 4](#_Toc58336666)

[1.1 Цель работы 4](#_Toc58336667)

[1.2 Алгоритм работы проекта 4](#_Toc58336668)

[2. Создание проекта 4](#_Toc58336669)

[3. Создание элементов 5](#_Toc58336670)

[4. Создание схемы компонента 5](#_Toc58336671)

[5. Функциональное моделирование компонента 6](#_Toc58336672)

[6. Создание описания верхнего уровня иерархии 8](#_Toc58336673)

[7. Функциональное моделирование проекта 9](#_Toc58336674)

[8. Изменение схемы для аппаратной реализации 9](#_Toc58336675)

[9. Назначение контактов СБИС 10](#_Toc58336676)

[10. Компиляция проекта 11](#_Toc58336677)

[Вывод 11](#_Toc58336678)

# Список иллюстраций

[Рисунок 1 - Установки для создаваемого проекта 4](#_Toc58336649)

[Рисунок 2 - Созданная схема 5](#_Toc58336650)

[Рисунок 3 - Start Analysis and Synthesis 6](#_Toc58336651)

[Рисунок 4 - Окно редактора тестовых воздействий 6](#_Toc58336652)

[Рисунок 5 - Окно Node Finder 7](#_Toc58336653)

[Рисунок 6 - Выделение интересующих сигналов и шин 7](#_Toc58336654)

[Рисунок 7 - Длина теста 7](#_Toc58336655)

[Рисунок 8 - Получившийся тест 8](#_Toc58336656)

[Рисунок 9 - Результаты моделирования 8](#_Toc58336657)

[Рисунок 10 - Построенная схема 8](#_Toc58336658)

[Рисунок 11 - Окно Node Finder 9](#_Toc58336659)

[Рисунок 12 - Получившийся тест 9](#_Toc58336660)

[Рисунок 13 – Настройки счетчика 10](#_Toc58336661)

[Рисунок 14 - Назначение контактов СБИС 10](#_Toc58336662)

[Рисунок 15 - Результаты полной компиляции проекта 11](#_Toc58336663)

# Упражнение 3

# Введение

1.1 Цель работы

Знакомство c системой моделирования пакета Quartus Prime, знакомство с процедурой создания компонентов и иерархического проекта.

# Алгоритм работы проекта

Алгоритм работы:

* Проект обеспечивает отображение на 7-сегментном индикаторе четырех разрядов:
* Разряд 0: число 0
* Разряд 1: число, задаваемое переключателями sw[3..0]
* Разряд 2: число, задаваемое переключателями sw[7..4]
* Разряд 3: число F
* Режим отображения – динамический.

# Создание проекта

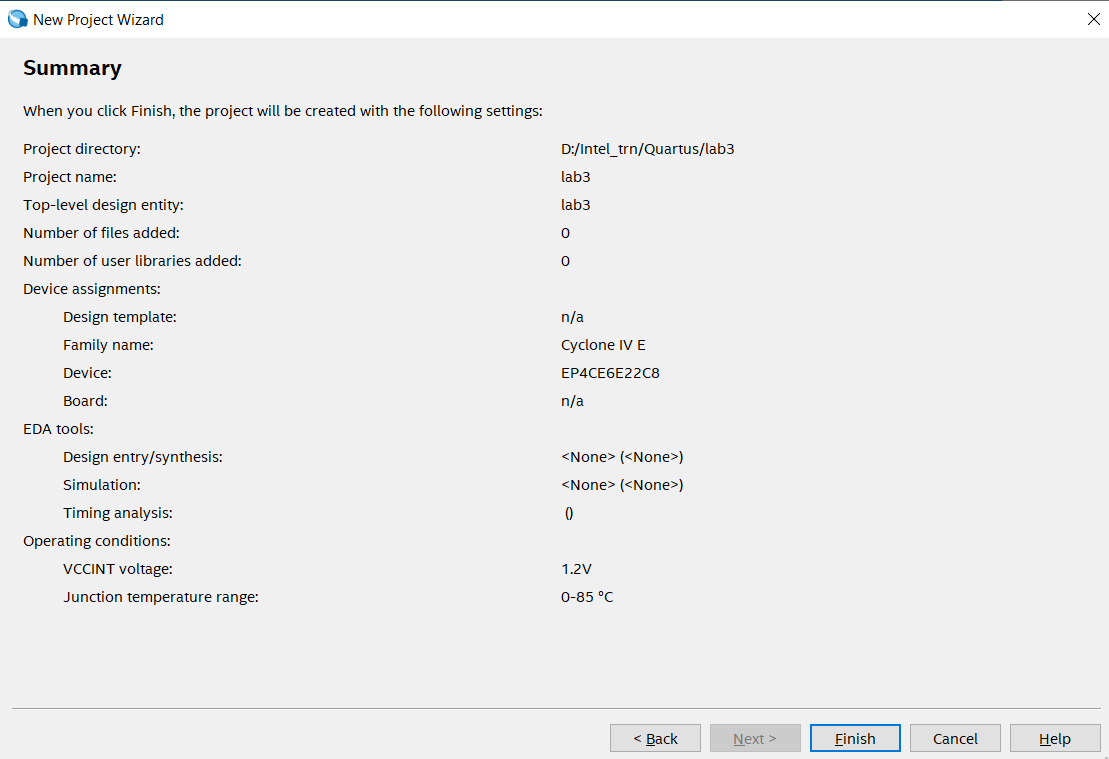


Рисунок 1 - Установки для создаваемого проекта

# Создание элементов

1. Создайте преобразователь 2-го кода в 7-сегментный код. Имя - bin\_7seg:

* Откройте файл bin\_7seg.vhd, находящийся в папке проекта
* Создайте символ: **File=>Create Update=> Create Symbol Files for Current File**

1. Создайте счетчик cnt\_div\_ss:

* Разрядность: 12;
* Выход: переноса (carry out)
* Модуль счета: 4

1. Создайте мультиплексор mux4\_1:

* Число входов: 4
* Разрядность каждого входа: 4;

1. Создайте распределитель импульсов для 4-х разрядного 7-сегментного индикатора с

динамической индикацией. Имя - fsm\_gen.

* Откройте файл fsm\_gen.vhd, находящийся в папке проекта
* Создайте символ: **File=>Create Update=> Create Symbol Files for Current File**

# Создание схемы компонента

1. Создайте схему, изображенную на рисунке ниже

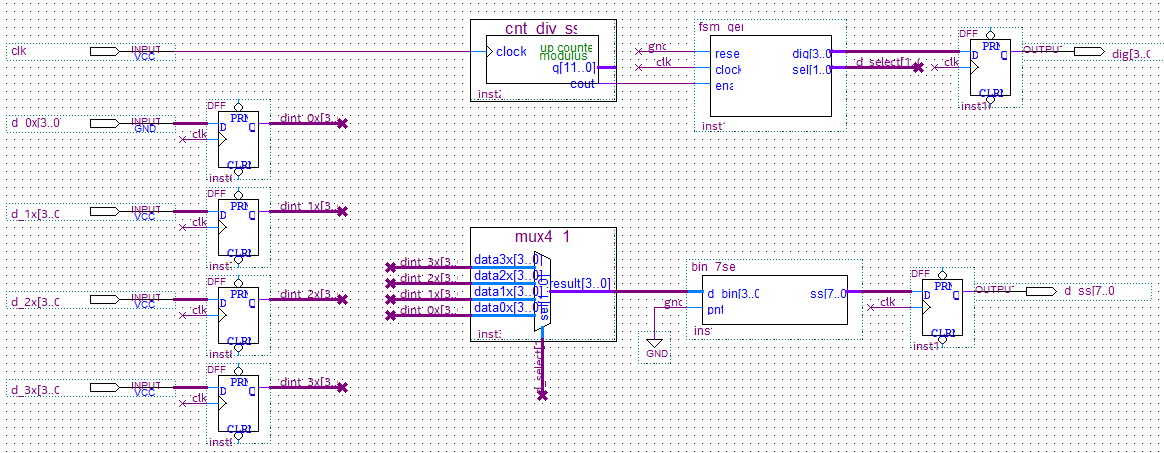


Рисунок 2 - Созданная схема

1. Сохраните схему под именем - **ss\_cntr.bdf.**
2. На закладке **Files** навигатора проекта Project Navigator найдите файл **ss\_cntr.bdf,**

выберите его, нажмите правую клавишу мыши и выберите команду Set as a Top-level

Entity. Созданная схема компонента станет верхним уровнем в описании.

1. Выполните команду: меню **Processing=>Start=>Start Analysis and Synthesis**.

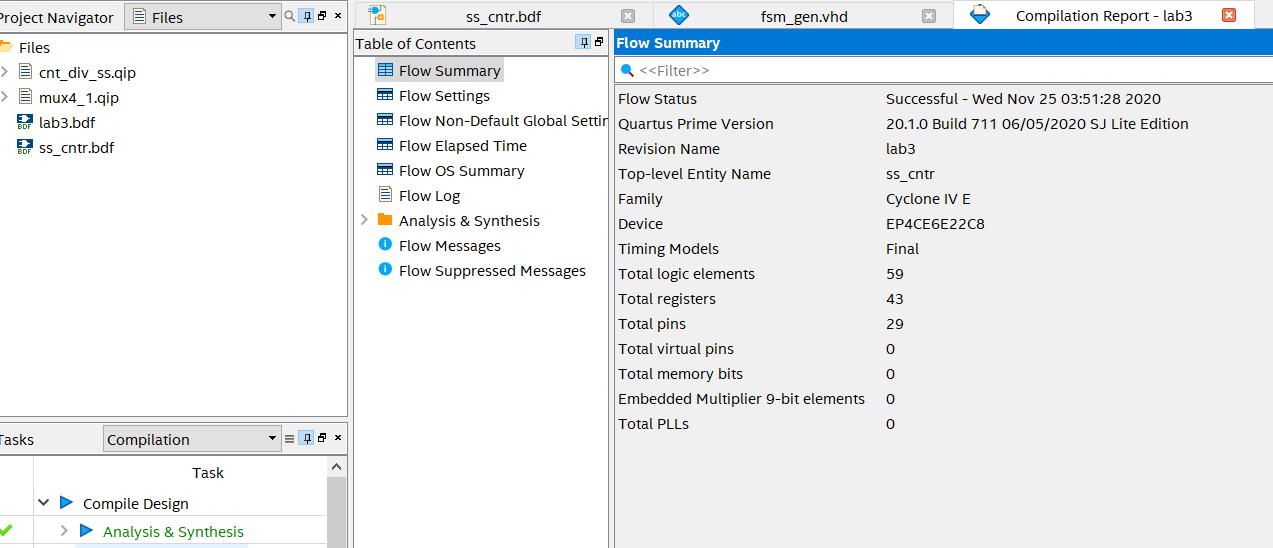


Рисунок 3 - Start Analysis and Synthesis

# Функциональное моделирование компонента

1. Выполните команду **File>=New => University Program VWF**.
2. Откроется окно редактора тестовых воздействий.

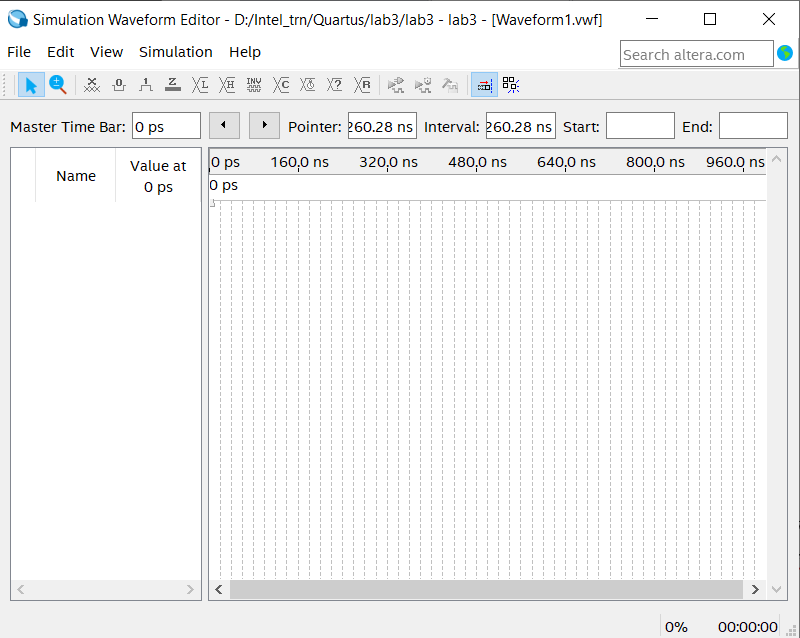


Рисунок 4 - Окно редактора тестовых воздействий

1. Для выбора выводов проекта выполните команду **Edit=>Insert=> Insert Node or Bus** и в

появившемся окне запустите Node Finder

1. Откроется окно Node Finder, в котором следует установить фильтр (Filter) – Pins:all

(все выводы) и нажать кнопку List

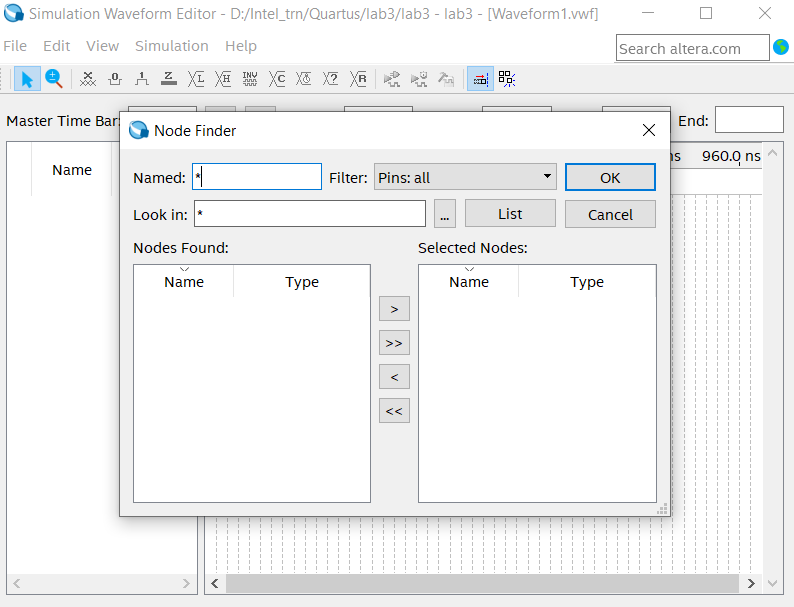


Рисунок 5 - Окно Node Finder

1. В разделе Nodes Found выделить интересующие сигналы и шины.

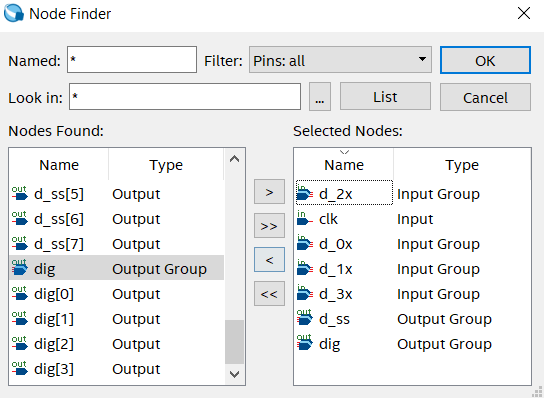


Рисунок 6 - Выделение интересующих сигналов и шин

1. Задайте длину теста равной 2000 ns (команда Edit=>Set End Time)

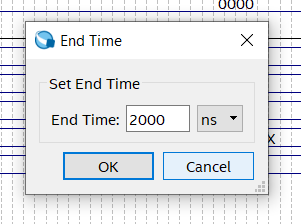


Рисунок 7 - Длина теста

1. Введите тестовые воздействия:

* Тактовому сигналу
* Задайте константные значения группам сигналов
* Получившийся у Вас тест должен соответствовать тесту, приведенному на рисунке ниже

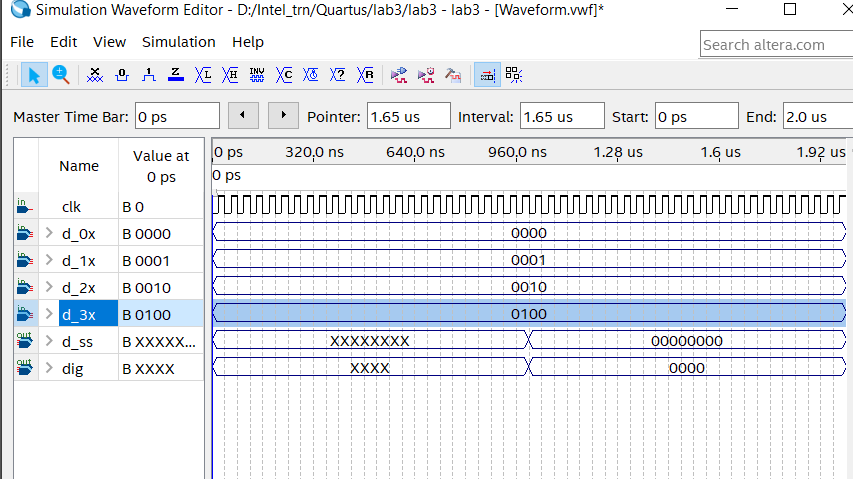


Рисунок 8 - Получившийся тест

1. Сохраните тест: **File=>Save** (или Save as) под именем **ss\_cntr.vwf.**
2. Запустите функциональное моделирование: **Simulation => Run Functional Simulation**. Временная диаграмма с результатами моделирования откроется в отдельном окне
3. Результаты моделирования должны соответствовать приведенному ниже рисунку.

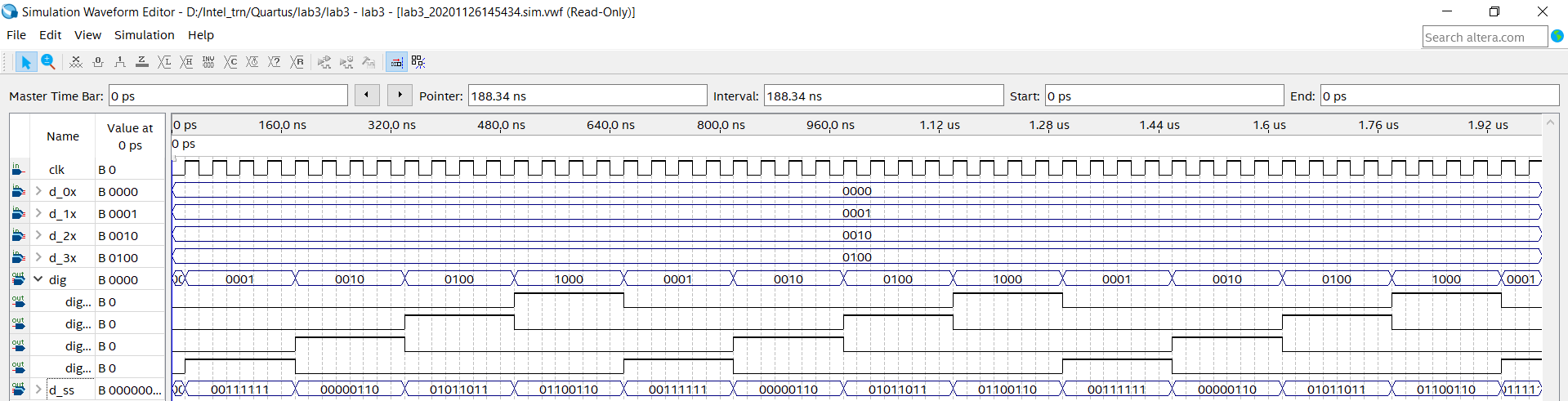


Рисунок 9 - Результаты моделирования

# Создание описания верхнего уровня иерархии

1. Создание символа:

* Откройте схему **ss\_cntr.bdf.**
* Выполните команду **File=>Create Update=> Create Symbol Files for Current File**

1. Создайте новый bdf файл.
2. Введите схему, приведенную на рисунке ниже

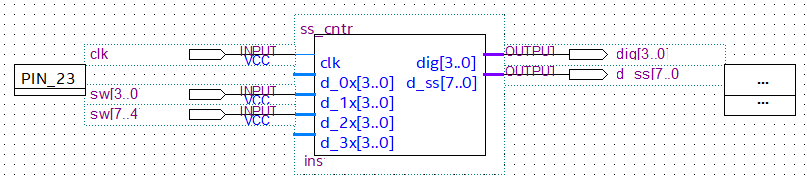


Рисунок 10 - Построенная схема

# Функциональное моделирование проекта

1. Выполните команду **File>=New => University Program VWF**
2. Откроется окно редактора тестовых воздействий
3. Для выбора выводов проекта выполните команду **Edit=>Insert=> Insert Node or Bus** и в появившемся окне запустите **Node Finder**
4. Откроется окно **Node Finder**, в котором следует установить фильтр (Filter) – Pins:all (все выводы) и нажать кнопку List
5. В разделе **Nodes Found** выделите интересующие сигналы и шины

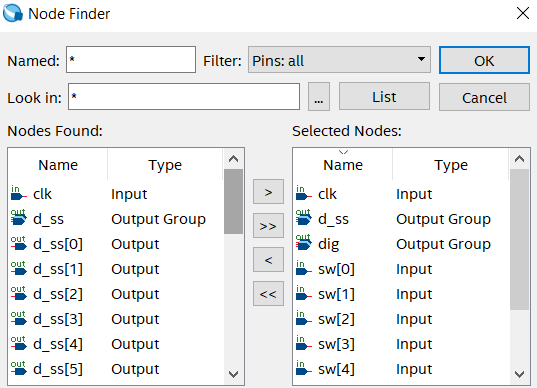


Рисунок 11 - Окно Node Finder

1. В окне редактора тестовых воздействий переместите и сгруппируйте выводы так, как показано на рисунке ниже (в группе sw\_a – MSB должен быть SW[3], а в группе sw\_b – MSB должен быть sw[7]), для отображения данных установите систему счисления Hexadecimal (для всех групп)
2. Задайте длину теста равной 1000 ns (команда Edit=>Set End Time)
3. Получившийся у Вас тест должен соответствовать тесту, приведенному на рисунке ниже

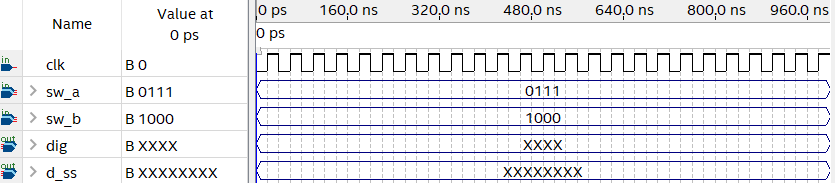


Рисунок 12 - Получившийся тест

1. Сохраните тест: **File=>Save** (или Save as) под именем **lab3**.**vwf**.
2. Запустите функциональное моделирование: **Simulation => Run Functional Simulation**. Временная диаграмма с результатами моделирования откроется в отдельном окне

# Изменение схемы для аппаратной реализации

1. Для аппаратной реализации модуля динамической индикации следует изменить модуль счета счетчика cnt\_div\_ss, обеспечивающего деление входной частоты 25 МГц.
2. В пакете QPRIME откройте схему верхнего уровня иерархии описаний – lab3.gdf, двойным щелчком по компоненту ss\_cntr перейдите на нижний уровень иерархии описания – схему компонента.
3. Двойным щелчком в зоне символа счетчика cnt\_div\_ss запустите помощник MegaWizard Plug-in Manager
4. В окне настроек счетчика перейдите на страницу 2 и задайте модуль счета равным 4095

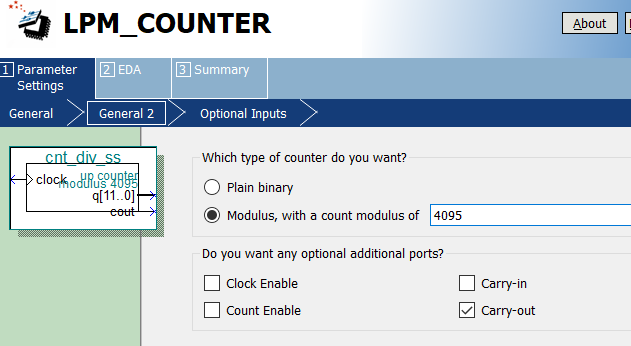


Рисунок 13 – Настройки счетчика

1. Проверьте в схемном редакторе, что символ счетчика обновлен и все выводы подключены правильно.
2. Сохраните схему компонента.
3. Осуществите компиляцию проекта: **Processing=>Start=>Start Analysis and Synthesis**.

# Назначение контактов СБИС

1. Запустите редактор назначений контактов СБИС: команда **Edit Pin Assignments (Open Pin Planer)** в папке назначений (**Assign Constrains**) окна задач (**Task**)
2. Назначьте контакты СБИС выводам проекта и используемый стандарт сигналов в соответствии с приведенной ниже таблицей

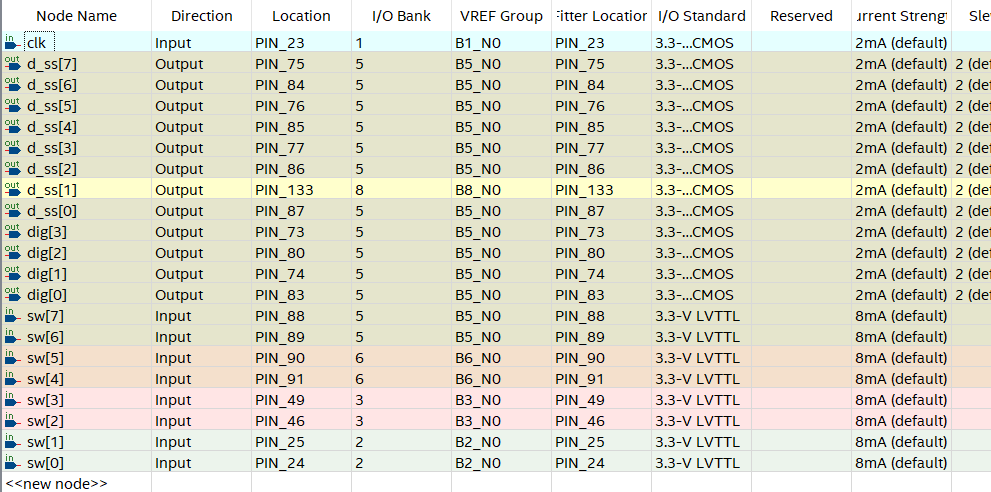


Рисунок 14 - Назначение контактов СБИС

# Компиляция проекта

1. В окне задач (Tasks) выберите процедуру Full Design и двойным щелчком левой клавиши мыши по команде Compile Design запустите полную компиляцию проекта

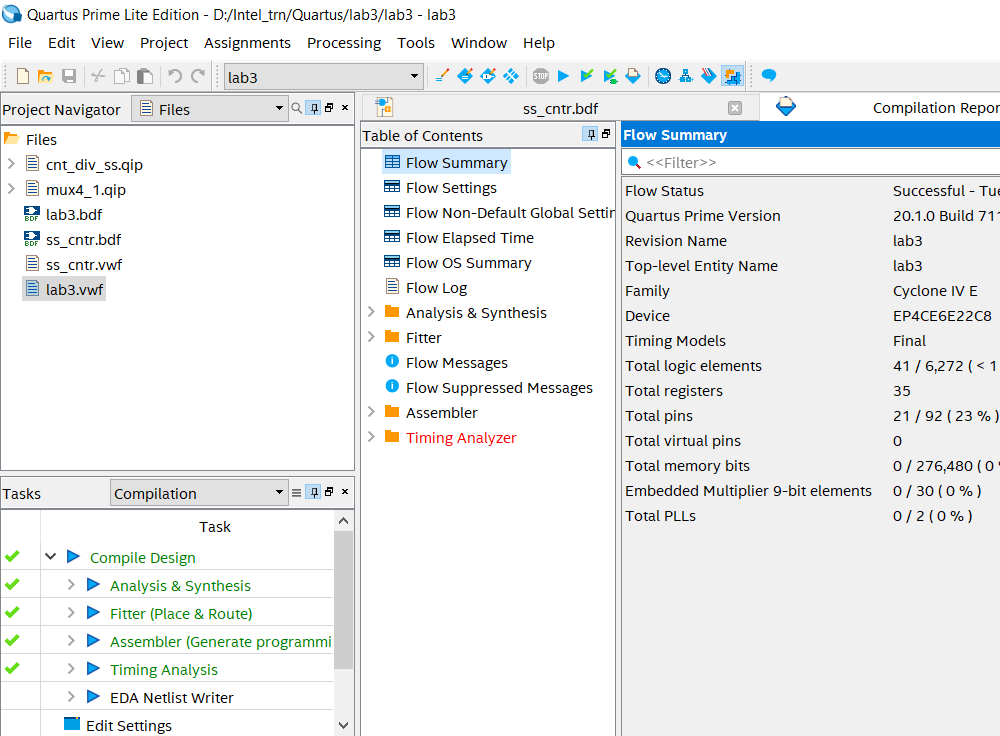


Рисунок 15 - Результаты полной компиляции проекта

В процессе полной компиляции проекта осуществляется:

* проверка синтаксиса,
* синтез с оптимизацией занимаемой площади и быстродействия проекта,
* трассировка и СБИС с оптимизацией занимаемой площади и быстродействия проекта,
* получение файла для конфигурирования СБИС – pof(sof) файл,
* получение модели с временными параметрами реализованной СБИС,
* временной анализ,
* формирования файла с детальным отчетом обо всех этапах компиляции проекта.

# Вывод

В ходе данной лабораторной работы ознакомились c системой моделирования пакета Quartus Prime, а также с процедурой создания компонентов и иерархического проекта.